

А. С. СИДОРЕНКО, магистрант ДонГТУ, Алчевск;

А. Ф. БОНДАРЕНКО, канд. техн. наук, доц. ДонГТУ, Алчевск

УМЕНЬШЕНИЕ ВРЕМЕНИ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАНИЯ

В работе предлагается принцип построения и алгоритм функционирования структуры, осуществляющей операцию аналого-цифрового преобразования, на основе параллельного соединения АЦП. Реализация предлагаемого решения не требует использования дорогостоящих быстродействующих АЦП и позволяет сократить задержку между моментом выборки и получением данных на выходе преобразователя по сравнению с АЦП конвейерного типа.

Ключевые слова: аналого-цифровой преобразователь, разрядность, быстродействие, время преобразования, параллельное соединение.

Введение

В настоящее время электронные управляющие и информационные системы в большинстве случаев являются цифровыми. Это позволяет осуществить централизованное управление объектами автоматизации, облегчить настройку регуляторов, а также реализовать адаптивные алгоритмы управления объектами. Обязательными составляющими таких систем являются аналогово-цифровые (АЦП) и цифро-аналоговые преобразователи (ЦАП), которые обеспечивают ввод информации с датчиков и её вывод на исполнительные механизмы. Точность обработки сигналов в цифровых системах в наибольшей степени определяется их разрядностью и быстродействием [1].

Анализ существующих решений

На данный момент на рынке присутствуют различные типы АЦП, области применения которых можно разделить по категориям [2]:

- сбор данных;
- точные измерения промышленных параметров;
- обработка аудиоданных;
- высокоскоростная обработка данных (частота преобразования выше 5 МГц).

Наглядное представление о возможностях современных АЦП дает рис. 1 [3].

Наиболее широко выпускаются промышленностью быстродействующие АЦП с конвейерной архитектурой. Данная архитектура получила распространение ввиду высокой производительности, приемлемой разрядности (8-16 бит), относительно невысокой стоимости [4].

АЦП конвейерного типа состоят из каскадов, обрабатывающих входной сигнал последовательно, за несколько тактов сигнала выборки (рис. 2) [5]. Как правило, каждый каскад содержит усилитель, однобитный ЦАП и компаратор. Входной сигнал поступает на первый компаратор, при его срабатывании однобитный сигнал ЦАП вычитается из входного сигнала, усиливается в 2 раза и в виде разностного сигнала поступает на следующий каскад.

Таким образом, каждый каскад осуществляет одноразрядное аналого-цифровое преобразование. Совокупность сигналов с выходов всех компараторов

представляет результат преобразования. Время преобразования в наибольшей степени определяется временем прохождения сигнала через все каскады, что является существенным недостатком конвейерных АЦП.

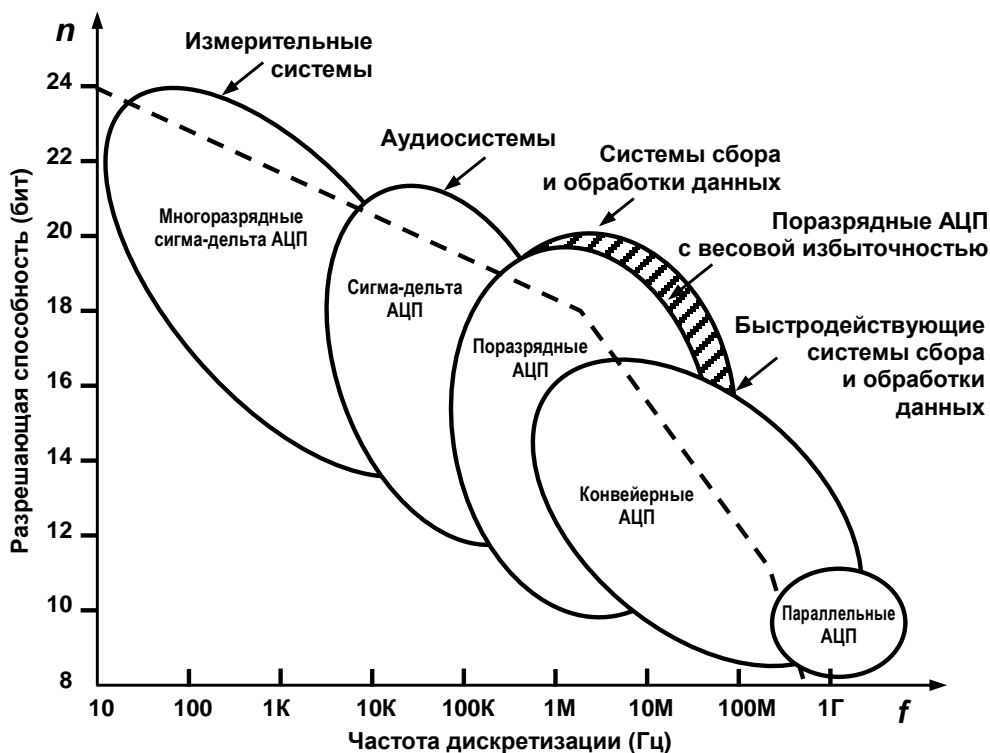


Рис. 1 – Возможности современных АЦП [3]

Существующая проблема и цель работы

При всех достоинствах АЦП конвейерного типа большое время преобразования накладывает ограничение на их использование в замкнутых системах управления объектами автоматизации, так как вносимое ими запаздывание может существенно снизить запас устойчивости системы [1].

Целью данной работы является разработка структуры, осуществляющей операцию аналого-цифрового преобразования с быстродействием, соизмеримым или выше, чем у АЦП конвейерного типа, но с меньшим временем преобразования.

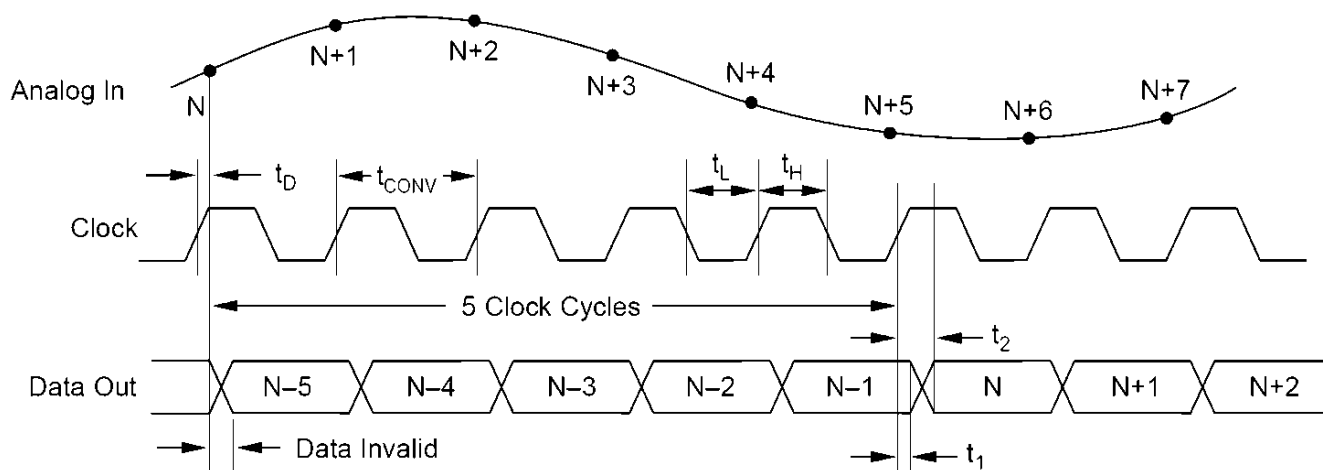


Рис. 2 – Временные диаграммы работы конвейерного АЦП ADS930 [6]

Материалы исследований

Для достижения указанной цели предлагается использовать параллельное включение нескольких АЦП (рис. 3) с принципом управления, описанным ниже.

Импульсы от тактового генератора ТГ поступают на блок управления БУ, который формирует импульсы тактирования АЦП с частотой

$$F_T = \frac{F_{\Delta}}{N}, \quad (1)$$

где N – количество включенных параллельно АЦП;

F_{Δ} – эквивалентная частота выборки.

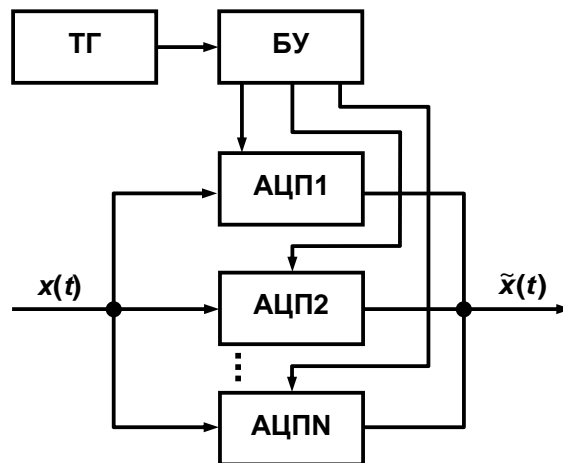


Рис. 3 – Структурная схема параллельного включения АЦП

Импульсы тактирования АЦП сдвинуты друг относительно друга на период $1/F_{\Delta}$. При этом каждый АЦП начинает преобразование с задержкой на один период тактового сигнала генератора. Время преобразования определяется временем преобразования одного АЦП. Благодаря такому принципу тактирования АЦП данные на выходе схемы будут следовать с частотой F_{Δ} , превышающей частоту выборки F_T каждого отдельного АЦП в количество раз, равное количеству преобразователей N . Процесс преобразования иллюстрируют временные диаграммы на рис. 4.

Рассмотрим подробнее работу схемы с помощью временных диаграмм на рис. 4. Предположим, в первый момент времени приходит тактовый импульс, запускающий преобразование в первом АЦП, происходит выборка сигнала в точке 1. Процесс преобразования занимает время $T_{пр1}$. Фронт второго тактового сигнала запускает преобразование во втором АЦП (точка 2), третьего – в третьем АЦП (точка 3). К данному моменту времени преобразование в первом АЦП будет завершено, и данные можно считывать. После прихода четвертого тактового импульса происходит новая выборка первым АЦП (точка 4) и начинается новый цикл преобразования, одновременно с этим будет окончено преобразование во втором АЦП. Далее процессы в структуре повторяются. Таким образом, на выходе схемы будут формироваться данные с задержкой в 3 периода тактового сигнала. Однако выборка будет осуществляться с частотой в три раза выше частоты выборки одного АЦП.

Для реализации схемы на рис. 3 можно применить АЦП любого типа с ми-

нимальной задержкой получения выходных данных в пределах одного тактового импульса или эквивалентного импульса управления, запускающего процесс преобразования.

Предлагаемый принцип построения схемы преобразования и управления ею позволяет получить эквивалентную частоту выборки сигнала $F_{\text{Э}}$, равную произведению частоты выборки одного АЦП F_{T} на их количество N , при этом время преобразования составит N тактовых импульсов эквивалентной частоты. Поскольку АЦП конвейерного типа содержат обычно 5-8 преобразовательных каскадов, применение предлагаемого решения при одинаковых частотах выборки будет целесообразно в случае, когда количество параллельно включенных АЦП меньше этого значения.

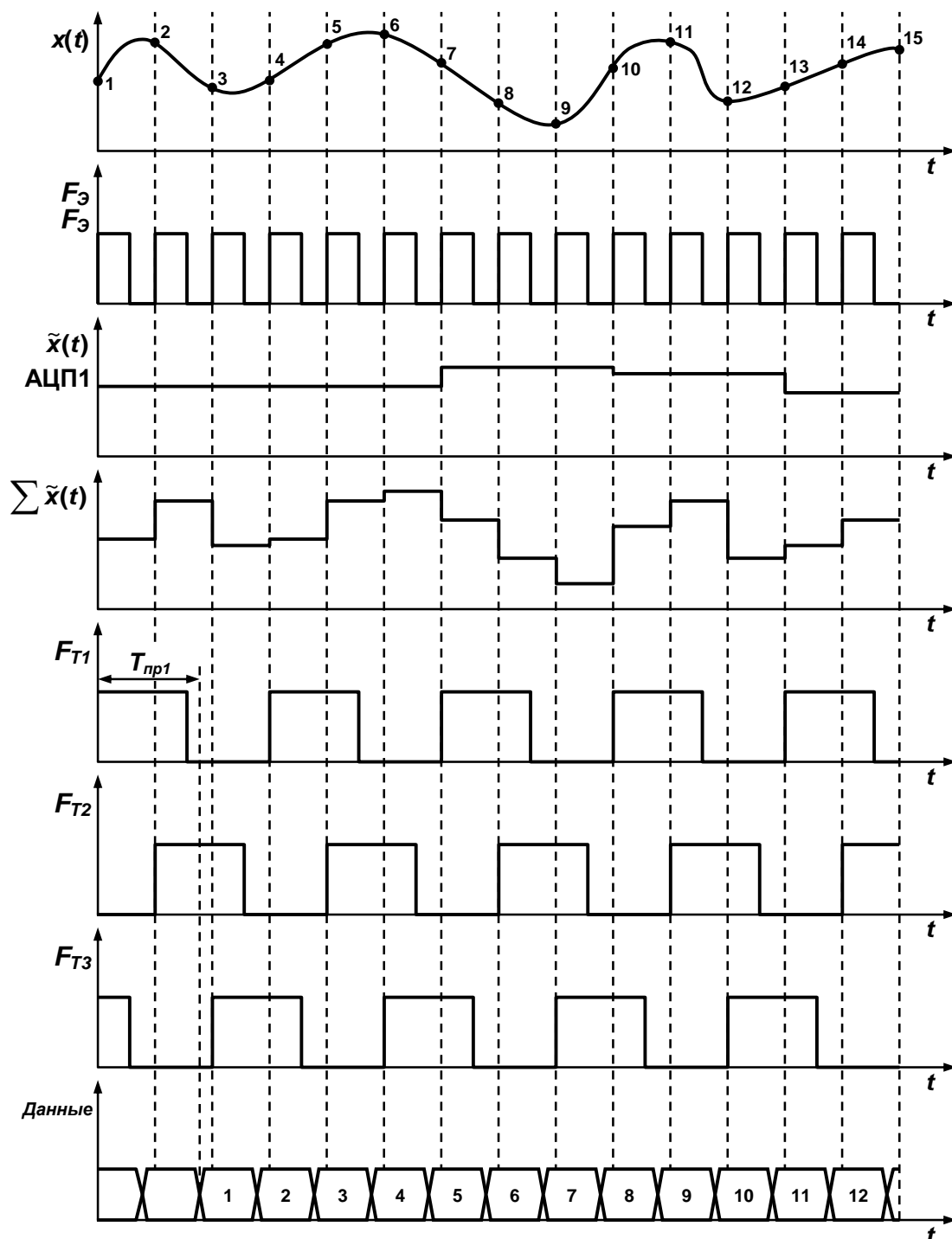


Рис. 4 – Временные диаграммы, иллюстрирующие процесс преобразования

Так, например, применяя АЦП конвейерного типа с частотой дискретизации 50 МГц, временем преобразования в 5 тактов, получаем задержку 100 нс. При соединении трех АЦП последовательного приближения с частотой дискретизации 15 МГц, получаем эквивалентную частоту выборки 45 МГц, задержку преобразования 66,7 нс.

Выводы

Таким образом, предлагаемое решение позволяет создавать структуры, выполняющие аналогово-цифровое преобразование, быстродействие которых соизмеримо или выше, чем у АЦП конвейерного типа, а время преобразования меньше, чем у последних. Использование таких структур в замкнутых системах управления объектами автоматизации позволит повысить запас устойчивости и другие показатели качества регулирования.

Список литературы: 1. *Васильев К. К.* Теория автоматического управления (следящие системы): Учебное пособие. – 2-е изд. – Ульяновск, 2001. – 98 с. 2. *Кестер У.* Какая архитектура АЦП подходит для вашей задачи? / *Уолт Кестер* // Современная электроника. – 2008. – № 3. – С. 14-21. 3. *Решетник О. О.* Високопродуктивні АЦП із змінними тривалостями тактів порозрядного наближення з ваговою надлишковістю: автореф. дис. на здобуття наук. ступеня канд. техн. наук: спец. 05.13.05 / *Олександр Олександрович Решетник*. – Вінниця, 2011. – 19 с. 4. *Староверов К.* Аналого-цифровые преобразователи для промышленных применений / *Константин Староверов* // Новости электроники. – 2009. – № 7. – С. 17-20. 5. *Kester W.* The Data Conversion Handbook. – London: Elsevier/Newnes. – 2005. – 976 p. 6. ADS930 8-Bit, 30MHz Sampling Analog-To-Digital Converter [Електронний ресурс] / Режим доступу: <http://www.ti.com/lit/ds/symlink/ads930.pdf>.

Надійшла до редколегії 17.03.2013

УДК 621.3.087.92

Уменьшение времени аналого-цифрового преобразования / А. С. Сидоренко, А. Ф. Бондаренко // Вісник НТУ «ХПІ». Серія: Нові рішення в сучасних технологіях. – Х. : НТУ «ХПІ», – 2013. - № 18 (991). – С. 104-108. – Бібліогр.: 6 назв.

В роботі пропонується принцип побудови і алгоритм функціонування структури, що здійснює операцію аналого-цифрового перетворення, на основі паралельного з'єднання АЦП. Реалізація запропонованого рішення не потребує використання дорогих швидкодіючих АЦП і дозволяє скоротити затримку між моментом вибірки та отриманням даних на виході перетворювача в порівнянні з АЦП конвеєрного типу.

Ключові слова: аналого-цифровий перетворювач, розрядність, швидкодія, час перетворення, паралельне з'єднання.

Construction principle and operation algorithm of structure implementing analog-to-digital conversion based on ADC's parallel connection are proposed in the paper. The applying of the proposed solution does not require the use of expensive fast operating ADC's and provides reduction of delay between sampling and data acquisition at the converter output comparing to pipeline ADC.

Keywords: analog-to-digital converter, bit rate, fast operation, conversion time, parallel connection.