

моделирования для реализации оперативного регулирования композиции составов у приміському сполученні [Текст] / Д. В. Константинов // Зб. наук. пр. / Укр. держ. акад. залізнич. трансп. – Х., 2009. – Вип. 111. – С. 68-81. **3.** Язенин А. В. Линейное программирование со случайными нечеткими данными [Текст] / А. В. Язенин // Известия АН СССР. Техническая кибернетика. 1991.- №3.- С. 52-58. **4.** Ротштейн А. П. Soft Computing: идентификация закономерностей нечеткими базами знаний [Текст] / А. П. Ротштейн, Ю. И. Митюшкин // Винницкий гос. техн. ун-т Винница: Универсум-Винница, 2002.-145 с. **5.** Рутковская Д., Пилинский М., Рутковский Л. "Нейронные сети, генетические алгоритмы и нечеткие системы" [Текст] / Д. Рутковская, М. Пилинский, Л. Рутковский //: Пер. с польск. И.Д. Рудинского.–М.:Горячая линия – Телеком, 2004. – 452 с. **6.** Круглов В. В. Сравнение алгоритмов Мамдани и Сугэно в задаче аппроксимации функции [Текст] / В. В. Круглов // Нейрокомпьютеры: разработка, применение. 2003. -№5.-С. 34-38. **7.** Wang L. X., Generating fuzzy rules by learning from examples [Текст] / L. X. Wang, J. M. Mendel // IEEE Transaction on Systems, Man and Cybernetics. 1992. V. 22.- № 6. -P.1414-1427. **8.** Jang J. ANFIS: Adaptive-Network-Based Fuzzy Inference System [Текст] /J. Jang // IEEE Trans. Systems & Cybernetics.- 1993.- Vol.23.- P.665-685.

Надійшла до редколегії 20.09.2013

УДК 656.027(477)

**Моделирование процесса оперативного регулирования швидкісних міжрегіональних пасажирських перевезень / Константинов Д. В., Крамченко К. В. // Вісник НТУ «ХПІ». Серія: Нові рішення в сучасних технологіях. – Х: НТУ «ХПІ», – 2013. - № 56 (1029). – С.128-136. – Бібліогр.:8 назв.**

В статье представлена реализация перспективной разработки по усовершенствованию системы скоростных межрегиональных пассажирских перевозок железных дорог Украины. Осуществлено моделирование системы поддержки принятия решений оперативного управления процессом эксплуатации скоростного подвижного состава.

**Ключевые слова:** межрегиональные, пассажирские, перевозки, пассажиропотоки, технология, эксплуатация, регулирование, моделирование.

The article presents the implementation of advanced development to improve the high-speed inter-regional passenger transportation system of railways in Ukraine. Performed simulation decision of support system for operational control in exploitation process of high-speed rolling stock.

**Keywords:** interregional, passenger, transportation, passenger traffic, technology, operation, regulation, modeling.

**УДК 056.55**

**Н. М. ЛІЩИНА**, канд. техн. наук, доц., Луцький інститут розвитку людини  
Університету «Україна»

## **СИНТЕЗ І РЕАЛІЗАЦІЯ В ПЛІС ПЕВНИХ ТИПІВ ПАМ'ЯТІ З ВПОРЯДКОВАНИМ ДОСТУПОМ**

Наведено опис програмних моделей пам'яті з впорядкованим доступом. Пам'ять описано на мові VHDL та проведено її синтез в програмованих логічних інтегральних схемах (ПЛІС) з використанням сучасних технологій та засобів проектування.

**Ключові слова:** пам'ять з впорядкованим доступом, налаштовувана сортувальна мережа, мова VHDL.

**Вступ.** Досліджувалися три типи структур пам'яті з впорядкованим доступом (ПВД): пам'ять з впорядкованим доступом на основі налаштовуваних сортувальних мереж (ПВДН), пам'ять із змінним впорядкованим доступом (ПЗВД) та пам'ять з фіксованим впорядкованим доступом (ПФВД). У функціональному відношенні

© Н. М. ЛІЩИНА, 2013

ПВДН переважає дві інші, оскільки дозволяє зберігати матриці даних та впорядковувати їх довільним чином, задавши порядок розміщення даних у вихідній матриці відповідними індексами.

ПЗДН дозволяє зберігати матриці даних та вимагає для їх впорядкування попереднього розрахунку оператора впорядкування  $Q$ , який задає порядок розміщення даних у вихідній матриці. ПФДН дозволяє зберігати матриці даних та здійснює їх впорядкування відповідно до правила, одноразово заданого при проектуванні цієї пам'яті. З ростом ємності ПВД (тобто кількості вхідних даних) затрати обладнання на ПЗВД та особливо на ПВДН зростають значно швидше, ніж на ПФВД. При цьому потрібно зауважити, що при великих значеннях  $N$  затрати обладнання на ПВДН стають недопустимо великими, тобто цей тип пам'яті доцільно застосовувати при малих значеннях  $N$ .

**Мета роботи.** Дослідити синтез програмних моделей пам'яті з впорядкованим доступом на основі налаштовуваної сортувальної мережі, та на основі комутуючої мережі з змінним та фіксованим впорядкованим доступом з певними характеристиками.

**Методика експериментів.** На етапі логічного синтезу пристрою використовуються програмні засоби логічного синтезу програмованих логічних інтегральних схем. Лідерами на світовому ринку виробників програмованих логічних інтегральних схем є фірми Altera, Xilinx, Actel, Lattice, Atmel, Lucent Technologies та ін.

Для програмування програмованих логічних інтегральних схем використовуються спеціальні апаратні засоби, складаються із друкованої плати, на яку поміщено кристал програмованої логічної інтегральної схеми, та засобів її програмування.

Ядра комп'ютерних пристроїв розробляються на мовах опису апаратних засобів. Для розробки та відлагодження ядер комп'ютерних пристроїв використовуються спеціальні інтегровані середовища із вбудованими засобами компіляції та симуляції. Серед них – ModelSIM від Mentor Graphics, Active-VHDL та Active-HDL від Aldec, ін.

**Обговорення результатів.** Виконаємо синтез програмних моделей пам'яті з впорядкованим доступом на основі налаштовуваної сортувальної мережі, та на основі комутуючої мережі з змінним та фіксованим впорядкованим доступом з наступними характеристиками:  $N=8$ ,  $l= m = 4$ ,  $n= k =2$ . Вибір такої малої ємності дозволить в повній мірі показати процес проектування та схемотехнічні рішення ПВД.

**Проектування функціональних вузлів ПВД.** В якості комірок пам'яті в ПВД використано регістри, на основі яких синтезовано запам'ятовуюче середовище даних. Опис інтерфейсу цього запам'ятовуючого середовища даних мовою VHDL наведено на рис.1.

Після проведення моделювання засобами ISE фірми Xilinx отримано модель елемента запам'ятовуючого середовища, графічне позначення інтерфейсу якого наведено на рис.2. [1]

На рис.3 показано внутрішню структуру запам'ятовуючого середовища даних, яка складається з 4 регістрів та 2 елементів  $I$ , а також їх з'єднань.

```

ENTITY reg_gr_0 IS
PORT (
D_0 : in std_logic_vector (7 downto 0);
D_1 : in std_logic_vector (7 downto 0);
D_2 : in std_logic_vector (7 downto 0);
D_3 : in std_logic_vector (7 downto 0);

W : in std_logic;
Count : in std_logic_vector (1 downto 0);
CLK : in std_logic;

O_0 : out std_logic_vector (7 downto 0);
O_1 : out std_logic_vector (7 downto 0);
O_2 : out std_logic_vector (7 downto 0);
O_3 : out std_logic_vector (7 downto 0)
);
end reg_gr_0;

```

Рис.1 – Опис інтерфейсу запам'ятовуючого середовища мовою VHDL

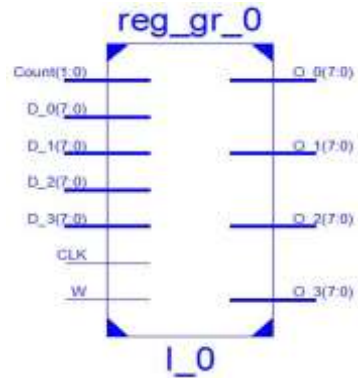


Рис.2 – Графічне позначення інтерфейсу запам'ятовуючого середовища даних

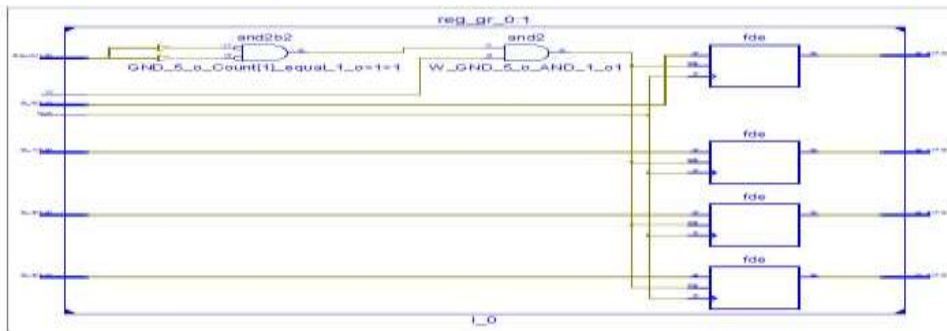


Рис.3 – Внутрішня структура запам'ятовуючого середовища даних

**Проектування налаштовуваної сортувальної мережі ПВДН.** VHDL опис інтерфейсу базового елемента налаштовуваної сортувальної мережі наведено на рис. 3, а його внутрішню структуру наведено на рис. 4. [2] Відповідно, VHDL опис інтерфейсу налаштовуваної сортувальної мережі та її внутрішня структура, наведені на рис.6 та 7.

```

ENTITY elem_compare IS
PORT (
ID0 : in std_logic_vector (7 downto 0);
ID1 : in std_logic_vector (7 downto 0);
T : in std_logic;
OD0 : out std_logic_vector (7 downto 0);
OD1 : out std_logic_vector (7 downto 0)
);
end elem_compare;

```

Рис.4 – VHDL опис інтерфейсу базового елемента налаштовуваної сортувальної мережі

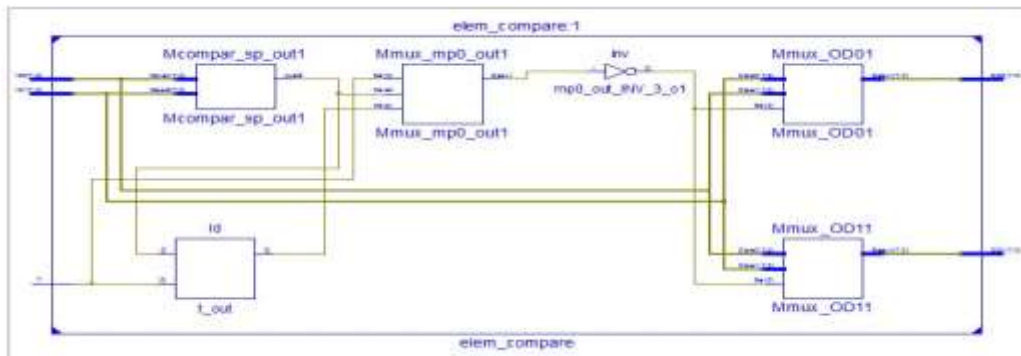


Рис.5 – Внутрішня структура базового елемента налаштовуваної сортувальної мережі

```

ENTITY sort_net IS
PORT (
D_in_0 : in std_logic_vector (7 downto 0);
D_in_1 : in std_logic_vector (7 downto 0);
D_in_2 : in std_logic_vector (7 downto 0);
D_in_3 : in std_logic_vector (7 downto 0);
D_in_4 : in std_logic_vector (7 downto 0);
D_in_5 : in std_logic_vector (7 downto 0);
D_in_6 : in std_logic_vector (7 downto 0);
D_in_7 : in std_logic_vector (7 downto 0);

T: in std_logic;

D_out_0 : out std_logic_vector (7 downto 0);
D_out_1 : out std_logic_vector (7 downto 0);
D_out_2 : out std_logic_vector (7 downto 0);
D_out_3 : out std_logic_vector (7 downto 0);
D_out_4 : out std_logic_vector (7 downto 0);
D_out_5 : out std_logic_vector (7 downto 0);
D_out_6 : out std_logic_vector (7 downto 0);
D_out_7 : out std_logic_vector (7 downto 0)
);
end sort_net;

```

Рис.6 - VHDL опис інтерфейсу налаштовуваної сортувальної мережі

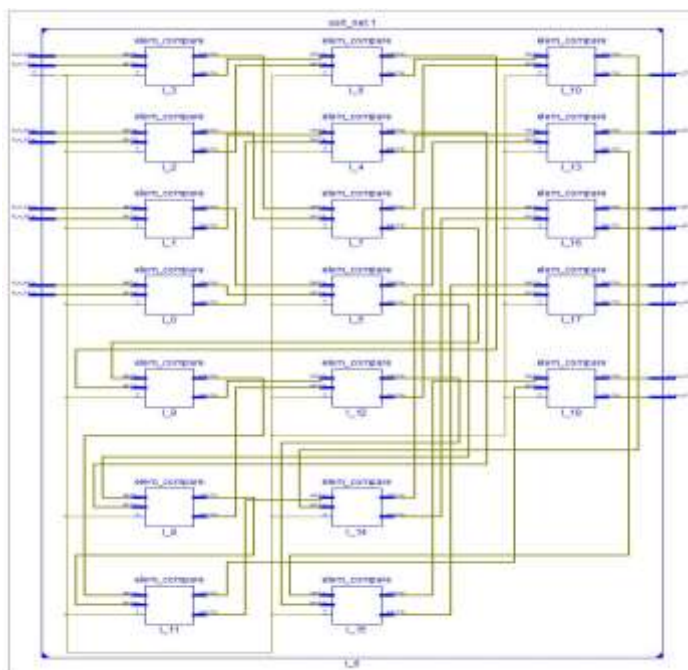


Рис.7 - Внутрішня структура налаштовуваної сортувальної мережі

**Опис інтерфейсу пам'яті з впорядкованим доступом.** VHDL описи інтерфейсів ПВДН, ПЗВД та ПФВД наведено на рис.8, 9, та 10, відповідно.

```

ENTITY pvdn IS
PORT (
D_in_0 : in std_logic_vector (7 downto 0);
D_in_1 : in std_logic_vector (7 downto 0);
D_in_2 : in std_logic_vector (7 downto 0);
D_in_3 : in std_logic_vector (7 downto 0);

T      : in std_logic;

CLK    : in std_logic;
W      : in std_logic;
R      : in std_logic;

D_out_0 : out std_logic_vector (7 downto 0);
D_out_1 : out std_logic_vector (7 downto 0)
);
END pvdn ;

```

Рис.8 – VHDL опис інтерфейсу ПВДН.

```

ENTITY pzvd IS
PORT (
D_in_0 : in std_logic_vector (7 downto 0);
D_in_1 : in std_logic_vector (7 downto 0);
D_in_2 : in std_logic_vector (7 downto 0);
D_in_3 : in std_logic_vector (7 downto 0);

Q      : in std_logic_vector (18 downto 0);

CLK    : in std_logic;
W      : in std_logic;
R      : in std_logic;

D_out_0 : out std_logic_vector (7 downto 0);
D_out_1 : out std_logic_vector (7 downto 0)
);
END pzvd ;

```

Рис.9 – VHDL опис інтерфейсу ПЗВД

```

ENTITY pfvd IS
PORT (
D_in_0 : in std_logic_vector (7 downto 0);
D_in_1 : in std_logic_vector (7 downto 0);
D_in_2 : in std_logic_vector (7 downto 0);
D_in_3 : in std_logic_vector (7 downto 0);

CLK    : in std_logic;
W      : in std_logic;
R      : in std_logic;

D_out_0 : out std_logic_vector (7 downto 0);
D_out_1 : out std_logic_vector (7 downto 0)
);
END pfvd ;

```

Рис.10 – VHDL опис інтерфейсу ПФВД

На основі цих описів з використанням середовища проектування Xilinx ISE 13.2



було виконано синтез даних типів пам'яті. Графічне позначення інтерфейсів ПВД для ПВДН, ПЗВД та ПФВД показано на рис.11.

Тут  $D\_in\_0 - D\_in\_3$  – чотири вхідні порти 8-мирозрядних даних, CLK – сигнал синхроімпульсів, Q – вхід впорядкування даних, T – вхід режиму запису даних (дані чи мітки для впорядкування), W – сигнал запису даних, R – сигнал читання даних,  $D\_out\_0, D\_out\_1$  – два вихідні порти відсортованих 8-мирозрядних даних.

**Архітектурний опис ПВД.** Відповідно до вибраних характеристик ПВД ( $N=8, l=m=4, n=k=2$ ) дані та індекси подаються на порти двома групами по чотири елементи в кожній групі. При переході сигналу CLK з «0» в «1» та при високому рівні сигналу Q відбувається паралельний запис чотирьох елементів даних та

відповідних їм індексів у пам'ять. Коли у пам'ять записана друга група даних, то при наступному переході сигналу CLK з «0» в «1» можна виконувати зчитування відсортованих даних. Зчитування результату відбувається при активному рівні сигналу R та переході сигналу CLK з «0» в «1». [3,4]

На рис. 12 наведено схему ПВДН, синтезовану з архітектурного опису мовою VHDL в програмному середовищі Xilinx ISE 13.2.

На рис. 13 наведено схему ПЗВД, синтезовану з архітектурного опису мовою VHDL в програмному середовищі Xilinx ISE 13.2.

На рис. 14 наведено схему ПФВД, синтезовану з архітектурного опису мовою VHDL в програмному середовищі Xilinx ISE 13.2.

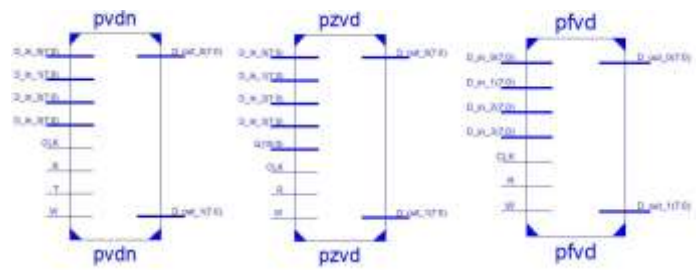


Рис.11 – Графічне позначення інтерфейсів ПВДН, ПЗВД та ПФВД

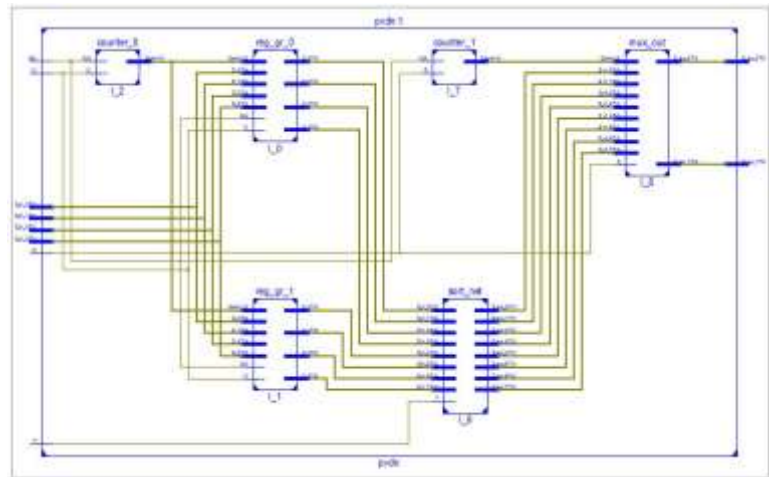


Рис. 12 – Структура ПВДН, отримана в результаті синтезу засобами Xilinx ISE 13.2

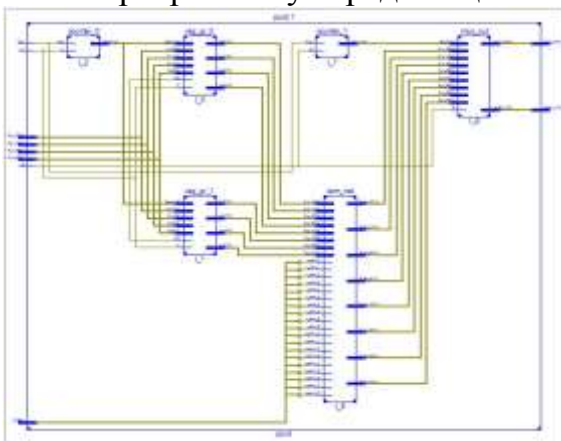


Рис. 13 – Структура ПЗВД, отримана в результаті синтезу засобами Xilinx ISE 13.2

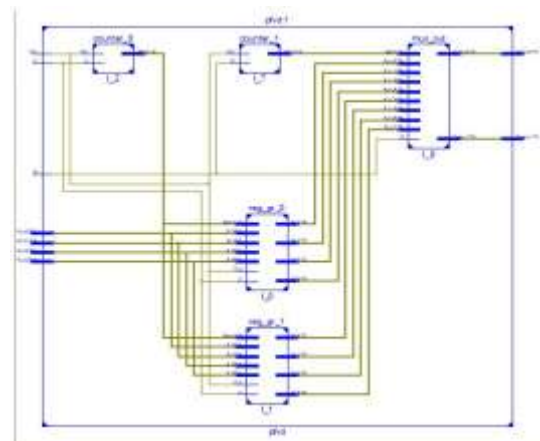


Рис. 14 – Структура ПФВД, отримана в результаті синтезу засобами Xilinx ISE 13.2

**Реалізація програмної моделі пам'яті з впорядкованим доступом в ПЛІС.** В табл. наведено результати синтезу розроблених вище програмних моделей пам'яті з впорядкованим доступом в ПЛІС 6vсx75tff484-2 фірми XILINX.

Таблиця – Результати синтезу ПВДН в ПЛІС 6vсx75tff484-2 фірми XILINX  
Selected Device : 6vсx75tff484-2

**Slice Logic Utilization:**

Number of Slice Registers: 86 out of 93120 0%  
Number of Slice LUTs: 579 out of 46560 1%  
Number used as Logic: 579 out of 46560 1%

**Slice Logic Distribution:**

Number of LUT Flip Flop pairs used: 643  
Number with an unused Flip Flop: 557 out of 643 86%  
Number with an unused LUT: 64 out of 643 9%  
Number of fully used LUT-FF pairs: 22 out of 643 3%  
Number of unique control sets: 5

**IO Utilization:**

Number of IOs: 52  
Number of bonded IOBs: 52 out of 240 21%

**Specific Feature Utilization:**

Number of BUFG/BUFGCTRLs: 2 out of 32 6%  
Minimum period: 1.247ns (Maximum Frequency: 802.137MHz)

Теоретична частота, тобто дана пам'ять може працювати на максимальній частоті ПЛІС, яка приблизно становить 250-300 МГц.

**Висновки.** Проведено синтез програмних моделей пам'яті з впорядкованим доступом на основі налаштовуваної сортувальної мережі та пам'яті з змінним та фіксованим впорядкованим доступом на основі комутуючих мереж. Моделі створено з використанням мови VHDL, отримано схемотехнічні рішення розроблених типів пам'яті. Здійснена реалізація програмних моделей пам'яті з впорядкованим доступом на основі налаштовуваної сортувальної мережі та пам'яті з змінним та фіксованим впорядкованим доступом на основі комутуючих мереж в ПЛІС 6vсx75tff484-2 фірми XILINX.

**Список літератури:** 1. *Кузелин, М.* ПЛІС фірми Xilinx: семейство Spartan-II [Текст] / *М. Кузелин* // Компоненты и технологии. – 2001.- № 3. 2. *Соловьев, В. В.* Проектирование цифровых систем на основе программируемых логических интегральных схем [Текст] / *В. В. Соловьев.* — Санкт-Петербург: Горячая Линия - Телеком, 2001. - 636 с. 3. *Мальцев, П. П.* Программируемые логические ИМС на КМОП-структурах и их применение [Текст] / *П.П. Мальцев, Н.И. Гарбузов, А.П. Шаранов, Д.А. Кнышев.* — М.: Энергоатомиздат, 1998. 4. *Соловьев, В. В.* Логическое проектирование цифровых систем на основе программируемых логических интегральных схем [Текст] / *В. В. Соловьев, А. Климович.* — Санкт-Петербург: Горячая Линия - Телеком, 2008. - 376 с.

*Надійшла до редколегії 20.09.2013*

УДК 056.55

**Синтез и реализация в плис определенных видов памяти с упорядоченным доступом /** **Ліщина Н. М.** // Вісник НТУ «ХПІ». Серія: Нові рішення в сучасних технологіях. – Х: НТУ «ХПІ», – 2013. - № 56 (1029). – С.136-142. – Бібліогр.: 4 назв.

Приведено описание программных моделей памяти с упорядоченным доступом. Память описано на языке VHDL и проведено ее синтез в ПЛИС с использованием современных технологий и средств проектирования.

**Ключевые слова:** память с упорядоченным доступом, настраиваемая сортировочная сеть, язык VHDL.

The description of program memory models with an ordered access. Memory is described in VHDL language and implemented its synthesis in FPGA using modern technologies and design tools.

**Keywords:** memory with an ordered access, customizable sorting network, VHDL language.

**УДК 656.212**

**О. О. МАЗУРЕНКО**, канд. техн. наук, доц., Дніпропетровський національний університет залізничного транспорту імені академіка В. Лазаряна

## **ВИЗНАЧЕННЯ ЕФЕКТУ ВІД ЗАСТОСУВАННЯ АДАПТИВНОЇ ТЕХНОЛОГІЇ ОБСЛУГОВУВАННЯ ДВОГРУПНИХ ПОЇЗДІВ**

У статті розглянуто вплив застосування різних варіантів технології роботи технічної станції по обміну груп вагонів у двогрупному поїзді на основні показники її роботи та пов'язані витрати. При виконанні досліджень розглянуто основні фактори, які мають суттєвий вплив на витрати станції по обміну груп вагонів, з урахуванням оперативного стану технічної станції та прилеглих підходів.

**Ключові слова:** двогрупних поїзд, група вагонів, технологія роботи, технічна станція, показники роботи.

**Вступ та постановка задачі.** Удосконалення організації вантажних вагонопотоків повинно забезпечувати зниження витрат, які пов'язані з організацією вагонопотоків у поїзди, та покращення якісних експлуатаційних показників роботи технічних станцій та залізничних напрямків [1].

Основними показниками якості експлуатаційної роботи технічної станції є величина середнього простою транзитного вагона без переробки та транзитного вагона з переробкою [2]. Щорічно, на основі аналізу роботи за попередній період, для станції встановлюється нормативна величина кожного з наведених показників, яка є обов'язковою до виконання. Якщо нормативна величина середнього простою транзитного вагона без переробки, в основному, виконується, то величина середнього простою транзитного вагона з переробкою не виконується на більшості технічних станцій. Як показав розгорнутий аналіз роботи ряду сортувальних станцій, основною причиною перевищення норми середнього простою транзитного вагона з переробкою на станції є збільшення простою вагонів під накопиченням. При цьому величина перевищення складає, в середньому, від 0,22 до 3,56 год. Це призводить до збільшення витрат залізниць на організацію вантажних вагонопотоків у поїзди.

**Аналіз досліджень та публікацій.** Одним з можливих заходів щодо зменшення тривалості простою транзитних вагонів з переробкою на станції та знаходження їх на залізничному напрямку в цілому є оперативне формування двогрупних поїздів на базі попутних призначень плану формування поїздів [3–5]. При цьому необхідно визначити умови застосування оперативного формування двогрупних поїздів та встановити вплив окремих факторів на їх ефективність.

**Важливим елементом роботи з двогрупним поїздом в процесі його просування**

© О. О. МАЗУРЕНКО, 2013